

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-224080

(43)Date of publication of application : 11.08.2000

(51)Int.Cl.

H04B 3/06

H03H 15/00

H03H 17/00

(21)Application number : 11-024822

(71)Applicant : NEC CORP

(22)Date of filing : 02.02.1999

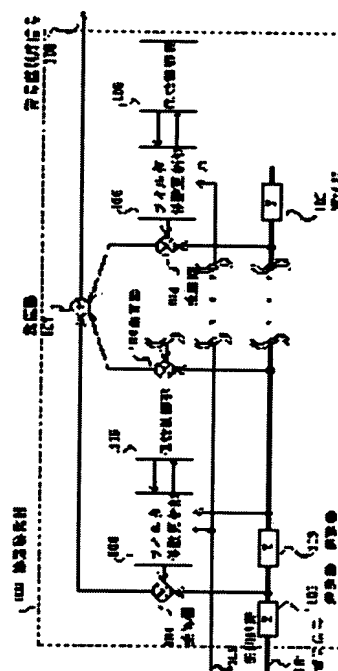
(72)Inventor : KANDA YOSHINORI

(54) DEVICE AND METHOD FOR EQUALIZING LINE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a good line equalizing characteristic, regardless of line characteristics.

SOLUTION: Based on a received signal 101 delayed by means of a delaying device 103 and an identified error 102, a filter factor updating section 106 updates the tap factor of a tap by using an LMS algorithm, and in addition, a factor control section 105 having a prescribed threshold changes the tap factor generated by means of the updating section 106 to the same level as that of the threshold.



LEGAL STATUS

[Date of request for examination] 24.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

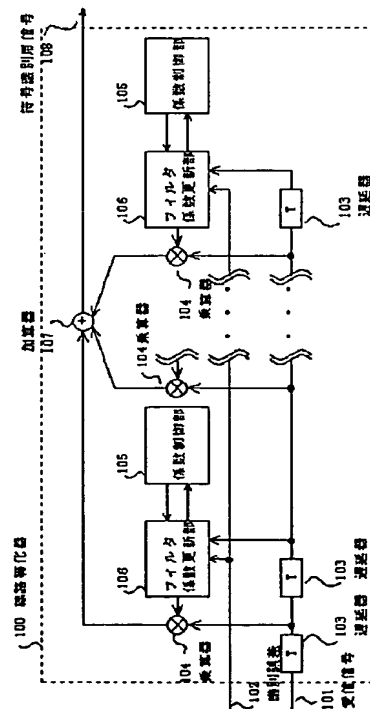
[Patent number] 3292165

[Date of registration] 29.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



【特許請求の範囲】

【請求項1】 Nタップ(Nは自然数)のトランスバースルフィルタにより構成され、受信信号に対して適応的に波形等化を行う線路等化器であって、互いに従属接続され、前記受信信号に対して所定の遅延を与える複数の遅延器と、前記遅延された受信信号及び識別誤差に基づき、LMSアルゴリズムによって前記タップのタップ係数の更新を行うフィルタ係数更新部と、所定のしきい値を有し、前記フィルタ係数更新部によって生成される前記タップ係数の値を、前記しきい値と同じ値に変更する係数制御部とを備えることを特徴とする線路等化器。

【請求項2】 前記係数制御部は、前記タップ係数を、時刻nの第i(iは、1~N)のタップ係数を $C_{i+1}(n)$ としたとき、 $C_{i+1}(n+1) = C_{i+1}(n) + \alpha \times e(n) \times D_{i+1}(n)$

で算出される時刻n+1の第iのタップ係数候補 $C_{i+1}'(n+1)$ に基づいて変更する(ここで、 $e(n)$ は時刻nでの識別誤差、 $D_{i+1}(n)$ は第i+1の前記遅延器の出力、 α はゲイン、しきい値は0である。)ことを特徴とする請求項1に記載の線路等化器。

【請求項3】 前記時刻n+1のタップ係数 $C_{i+1}(n+1)$ は、タップ係数候補に対する制限の加え方により、
①. 期待するタップ係数が負の場合
 $C_{i+1}'(n+1) > 0$ ならば
 $C_{i+1}(n+1) = 0$: (タップ係数候補に制限を加える)
 $C_{i+1}'(n+1) \leq 0$ ならば
 $C_{i+1}(n+1) = C_{i+1}'(n+1)$: (タップ係数候補に制限を加えない)
②. 期待するタップ係数が正の場合
 $C_{i+1}'(n+1) \geq 0$ ならば
 $C_{i+1}(n+1) = C_{i+1}'(n+1)$: (タップ係数候補に制限を加えない)
 $C_{i+1}'(n+1) < 0$ ならば
 $C_{i+1}(n+1) = 0$: (タップ係数候補に制限を加える)

の2通りの方法で算出されることを特徴とする請求項2に記載の線路等化器。

【請求項4】 前記線路等化器には、孤立波の判定以降のポストカーソルの抑圧を行う判定帰還形等化器が含まれることを特徴とする請求項1に記載の線路等化器。

【請求項5】 Nタップ(Nは自然数)のトランスバースルフィルタにより構成され、受信信号に対して適応的に波形等化を行う線路等化器の等化方法であって、互いに従属接続され、前記受信信号に対して所定の遅延を与える第1の工程と、前記遅延された受信信号及び識別誤差に基づき、LMS

アルゴリズムによって前記タップのタップ係数の更新を行う第2の工程と、

所定のしきい値を有し、前記更新によって生成される前記タップ係数の値を、前記しきい値と同じ値に変更する第3の工程とを備えることを特徴とする線路等化器の等化方法。

【請求項6】 前記第3の工程には、前記タップ係数を、時刻nの第i(iは、1~N)のタップ係数を $C_i(n)$ としたとき、 $C_{i+1}'(n+1) = C_{i+1}(n) + \alpha \times e(n) \times D_{i+1}(n)$ で算出される時刻n+1の第iのタップ係数候補 $C_{i+1}'(n+1)$ に基づいて変更する(ここで、 $e(n)$ は時刻nでの識別誤差、 $D_{i+1}(n)$ は第i+1の前記遅延器の出力、 α はゲイン、しきい値は0である。)第4の工程が含まれることを特徴とする請求項5に記載の線路等化器の等化方法。

【請求項7】 前記第4の工程には、前記時刻n+1のタップ係数 $C_{i+1}(n+1)$ を、タップ係数候補に対する制限の加え方により、
①. 期待するタップ係数が負の場合
 $C_{i+1}'(n+1) > 0$ ならば
 $C_{i+1}(n+1) = 0$: (タップ係数候補に制限を加える)
 $C_{i+1}'(n+1) \leq 0$ ならば
 $C_{i+1}(n+1) = C_{i+1}'(n+1)$: (タップ係数候補に制限を加えない)
②. 期待するタップ係数が正の場合
 $C_{i+1}'(n+1) \geq 0$ ならば
 $C_{i+1}(n+1) = C_{i+1}'(n+1)$: (タップ係数候補に制限を加えない)
 $C_{i+1}'(n+1) < 0$ ならば
 $C_{i+1}(n+1) = 0$: (タップ係数候補に制限を加える)

の2通りの方法で算出する工程が含まれることを特徴とする請求項6に記載の線路等化器の等化方法。

【請求項8】 前記第1~第3の工程には、孤立波の判定以降のポストカーソルの抑圧を行う工程が含まれることを特徴とする請求項5に記載の線路等化器の等化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、TCM(Time Compression Multiplex)方式のデジタル加入者線伝送システム(以下、TCM伝送システムという)において、伝送線路により生じる歪の補償に適した線路等化器及びその等化方法に関する。

【0002】

【従来の技術】TCM伝送システムにおけるデータの受渡しは、図7に示すように、単一の伝送路上で、局と加

入者側との間の通信が時分割で行われるようになっている。

【0003】このようなTCM伝送システムにおいては、トレーニングのための時間が割当てられている線路等化器を有した受信信号処理部が備えられている。

【0004】トレーニングに用いるトレーニング信号は、320kHzに同期して送信される。また、トレーニング信号は、ヘッダが16ビットとされ、8ビット毎に+1と-1をとる固定パターンからなる。このため、送信信号の中心周波数は20kHzとなる。

【0005】トレーニング時におけるトレーニング信号は、対向の送信部から送信される。通常の通信時には、対向の送信部よりランダム信号が送信される。その中心周波数は、160kHzである。符号としてAMI (Alternate Mark Inversion) が用いられる。

【0006】このような線路等化器の一例を、図8に示す。

【0007】図8に示す線路等化器900は、Nタップ (Nは自然数) のトランスバーサルフィルタにより構成される。タップ係数の更新は、LMSアルゴリズムによって行うのが一般的である。

【0008】線路等化器900は、遅延器903、乗算器904、フィルタ係数更新部906及び加算器907を備えている。

【0009】受信信号101は、遅延器903を介して乗算器904及びフィルタ係数更新部906に与えられる。識別誤差102は、フィルタ係数更新部906に与えられる。

【0010】フィルタ係数更新部906によって更新された信号は、乗算器904に与えられる。乗算器904にて遅延器903を介して与えられた受信信号101と、フィルタ係数更新部906によって更新された信号とが乗算される。各乗算器904によって乗算された信号は、加算器907によって加算され、符号識別用信号108として出力される。

【0011】

【発明が解決しようとする課題】ところで、上述した線路等化器900のトレーニングは、上記のように、中心周波数が20kHzのトレーニング信号に対して行われる。この場合、線路特性によっては、図9のAに示すようにプリカーソルが整形されない場合がある。

【0012】これは、トレーニング信号が固定パターンであるため、図9のA、Bの部分で打消し合い、サンプル点での受信レベルが0となるためである。このときの線路等化器900のタップ係数に着目すると、図10に示すように先頭のタップ係数が正の値 (センタータップを4とした場合) となっており、ノイズを増加させる原因になっていた。

【0013】このように、線路等化器900のトレーニングにおいては、ノイズが増加するため、線路特性によ

り線路等化特性が劣化してしまうという問題があった。

【0014】本発明は、このような状況に鑑みてなされたものであり、線路特性によらず良好な線路等化特性を得ることができる線路等化器及びその等化方法を提供することができるようにするものである。

【0015】

【課題を解決するための手段】請求項1に記載の線路等化器は、Nタップ (Nは自然数) のトランスバーサルフィルタにより構成され、受信信号に対して適応的に波形等化を行う線路等化器であって、互いに従属接続され、受信信号に対して所定の遅延を与える複数の遅延器と、遅延された受信信号及び識別誤差に基づき、LMSアルゴリズムによってタップのタップ係数の更新を行うフィルタ係数更新部と、所定のしきい値を有し、フィルタ係数更新部によって生成されるタップ係数の値を、しきい値と同じ値に変更する係数制御部とを備えることを特徴とする。また、係数制御部は、タップ係数を、時刻nの第i (iは、1～N) のタップ係数を $C_i(n)$ としたとき、

$$C_{i+1}'(n+1) = C_i(n) + \alpha \times e(n) \times D_{i+1}(n) \quad (1)$$

で算出される時刻n+1の第iのタップ係数候補 $C_{i+1}'(n+1)$ に基づいて変更する (ここで、 $e(n)$ は時刻nでの識別誤差、 $D_{i+1}(n)$ は第i+1の遅延器の出力、 α はゲイン、しきい値は0である。) ようにすることができる。また、時刻n+1のタップ係数 $C_i(n+1)$ は、タップ係数候補に対する制限の加え方により、

①. 期待するタップ係数が負の場合

$$C_{i+1}'(n+1) > 0 \text{ ならば} \\ C_i(n+1) = 0 \quad : (\text{タップ係数候補に制限を加える})$$

$$C_{i+1}'(n+1) \leq 0 \text{ ならば}$$

$$C_i(n+1) = C_{i+1}'(n+1) : (\text{タップ係数候補に制限を加えない})$$

②. 期待するタップ係数が正の場合

$$C_{i+1}'(n+1) \geq 0 \text{ ならば}$$

$$C_i(n+1) = C_{i+1}'(n+1) : (\text{タップ係数候補に制限を加えない})$$

$$C_{i+1}'(n+1) < 0 \text{ ならば}$$

$$C_i(n+1) = 0 \quad : (\text{タップ係数候補に制限を加える})$$

の2通りの方法で算出されるようにすることができる。

また、線路等化器には、孤立波の判定以降のポストカーソルの抑圧を行う判定帰還形等化器が含まれるようにすることができる。請求項5に記載の線路等化器の等化方法は、Nタップ (Nは自然数) のトランスバーサルフィルタにより構成され、受信信号に対して適応的に波形等化を行う線路等化器の等化方法であって、互いに従属接続され、受信信号に対して所定の遅延を与える第1の工

程と、遅延された受信信号及び識別誤差に基づき、LMSアルゴリズムによってタップのタップ係数の更新を行う第2の工程と、所定のしきい値を有し、更新によって生成されるタップ係数の値を、しきい値と同じ値に変更する第3の工程とを備えることを特徴とする。また、第3の工程には、タップ係数を、時刻 n の第 i (i は、 $1 \sim N$)のタップ係数を $C_i(n)$ としたとき、

$$C_{i+1}(n+1) = C_i(n) + \alpha \times e(n) \times D_{i+1}(n)$$

で算出される時刻 $n+1$ の第 i のタップ係数候補 $C_{i+1}(n+1)$ に基づいて変更する(ここで、 $e(n)$ は時刻 n での識別誤差、 $D_{i+1}(n)$ は第 $i+1$ の遅延器の出力、 α はゲイン、しきい値は0である。)第4の工程が含まれるようにすることができる。また、第4の工程には、時刻 $n+1$ のタップ係数 $C_i(n+1)$ を、タップ係数候補に対する制限の加え方により、

①. 期待するタップ係数が負の場合
 $C_{i+1}(n+1) > 0$ ならば
 $C_i(n+1) = 0$: (タップ係数候補に制限を加える)
 $C_{i+1}(n+1) \leq 0$ ならば
 $C_i(n+1) = C_{i+1}(n+1)$: (タップ係数候補に制限を加えない)

②. 期待するタップ係数が正の場合

$C_{i+1}(n+1) \geq 0$ ならば
 $C_i(n+1) = C_{i+1}(n+1)$: (タップ係数候補に制限を加えない)
 $C_{i+1}(n+1) < 0$ ならば
 $C_i(n+1) = 0$: (タップ係数候補に制限を加える)

の2通りの方法で算出する工程が含まれるようにすることができる。また、第1～第3の工程には、孤立波の判定以降のポストカーソルの抑圧を行う工程が含まれるようにすることができる。本発明に係る線路等化器及びその等化方法においては、遅延器によって遅延された受信信号及び識別誤差に基づき、フィルタ係数更新部により、LMSアルゴリズムによってタップのタップ係数の更新を行うとともに、所定のしきい値を有する係数制御部により、フィルタ係数更新部によって生成されるタップ係数の値を、しきい値と同じ値に変更するようにする。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

【0017】(第1の実施の形態)図1は、本発明の線路等化器の第1の実施の形態を示すブロック図、図2は、本発明の線路等化器の第1の実施の形態に係る受信信号処理部を示すブロック図、図3及び図4は、図1の線路等化器の動作を説明するための図である。

$$e(n+1) = D_{i+1}(n) - 2.0 \times th(n) \times D_{i+1}(n) \cdots ($$

【0018】図1に示す線路等化器100は、遅延器103、乗算器104、係数制御部105、フィルタ係数更新部106及び加算器107を備えている。

【0019】遅延器103は、従属接続されているものであり、受信信号101に対して所定の遅延を与える。また、遅延器103は、 $N+1$ 個(N は自然数)からなる。さらに、遅延器103は、受信信号101を乗算器104及びフィルタ係数更新部106に与える。

【0020】乗算器104は、第 i (i は、 $1 \sim N$)のフィルタ係数更新部106の出力と、第 i の遅延器103の出力とを入力とする。係数制御部105は、第 i のフィルタ係数更新部106の出力を入力とする。

【0021】フィルタ係数更新部106は、第 $i+1$ の遅延器103の出力と、第 i の係数制御部105の出力と、識別誤差102とを入力とする。加算器107は、 $1 \sim N$ までの乗算器104の出力を入力とする。

【0022】線路等化器100は、トランスバーサルフィルタで構成され、受信信号101と、識別誤差102とを入力とし、受信信号101に対して適応的に波形等化を行う。各タップのタップ係数は、フィルタ係数更新部106及び係数制御部105により生成される。係数制御部105は、フィルタ係数更新部106で生成されるタップ係数の値を、しきい値と同じ値に変更することができる。

【0023】TCM伝送システムにおける受信信号処理部を、図2に示す。

【0024】図2に示す受信信号処理部201は、A/D変換器204、ゲイン調整部205、線路等化器100及び符号識別部208を備えている。

【0025】A/D変換器204は、線路202を介して得られる対向の送信部200からの受信信号101をデジタル信号に変換する。

【0026】ゲイン調整部205は、A/D変換器204の出力にゲインを与える。このとき、信号のピークレベルが符号識別部208のしきい値レベルに合うように設定される。たとえば、識別しきい値を0.5とすると、ピーク値が1となるようなフラットゲインが設定される。

【0027】線路等化器100は、ゲイン調整部205の出力と、識別誤差102とを入力とする。線路等化器100は、線路の損失を補償し、受信波形の孤立波応答が図3に示すようなロールオフ特性を持つように等化する。

【0028】符号識別部208は、線路等化器100の出力を入力とする。符号識別部208は、符号識別を行うとともに、識別誤差102を算出する。時刻 $n+1$ の識別誤差 $e(n+1)$ は、(2)式で算出される。

【0029】

2)

【0030】ここで、 $D_{i+1}(n)$ は、時刻 n での符号識別用信号 108、 $th(n)$ は時刻 n の符号識別用しきい値（符号識別部 208 内部の信号）、 $D_{i+1}(n)$ は時刻 n での符号識別結果 210 である。

【0031】次に、線路等化器 100 の動作を、タップ数を 7 とした場合について説明する。

【0032】線路等化器 100 は、上述したように、トランスバーサルフィルタで構成される。線路等化器 100 は、受信信号 101 と、識別誤差 102 とを入力とし、受信信号 101 を適応的に等化する。

【0033】たとえば、初期値として、センタータップ（第 4 のタップ係数）には 1.0 を、他のタップには 0.0 を設定する。各タップのタップ係数は、フィルタ係数更新部 106 と係数制御部 105 により生成される。

【0034】フィルタ係数更新部 106 は、LMS アル

$$C_i'(n+1) = C_i(n) + \alpha \times e(n) \times D_{i+1}(n) \cdots (1)$$

【0039】ここで、 $e(n)$ は時刻 n での識別誤差 102、 $D_{i+1}(n)$ は第 $i+1$ の遅延器 103 の出力、 α はゲインである。しきい値は 0 である。

【0040】時刻 $n+1$ のタップ係数 $C_i(n+1)$ は、タップ係数候補に対する制限の加え方により、次の 2 通りの方法で算出される。

【0041】①. 期待するタップ係数が負の場合

$C_i'(n+1) > 0$ ならば

$C_i(n+1) = 0$: (タップ係数候補に制限を加える)

$C_i'(n+1) \leq 0$ ならば

$C_i(n+1) = C_i'(n+1)$: (タップ係数候補に制限を加えない)

【0042】②. 期待するタップ係数が正の場合

$C_i'(n+1) \geq 0$ ならば

$C_i(n+1) = C_i'(n+1)$: (タップ係数候補に制限を加えない)

$C_i'(n+1) < 0$ ならば

$C_i(n+1) = 0$: (タップ係数候補に制限を加える)

【0043】上記のように、タップ係数の更新過程を制限することにより、固有のトレーニングパターンに対してタップ係数の更新を行っても、ランダム信号の等化時に良好な特性が得られる。

【0044】タップ係数の制御は、次のようにして行われる。

【0045】伝送線路の特性として、高い周波数ほど損失が大きいという特徴がある。そのため、線路等化器 100 の等化特性としては、ハイパスフィルタ特性となる。トランスバーサルフィルタにおけるタップ係数に対し、図 4 に示すように交互に正負の値を繰返す係数を与える。これにより、ハイパスフィルタを実現することが

ゴリズムにより、タップ係数の更新を行う (LMS アルゴリズムに関しては、"J. McCool and B. Widrow, "Principles and applications of adaptive filters: A tutorial review, "Naval Undersea Center, San Diego, CA, Tech. Publ. 530, Mar. 1977." を参照)。

【0035】係数制御部 105 は、しきい値（しきい値 0 とする）を内部に持ち、フィルタ係数制御部 106 で生成されるタップ係数の値を、しきい値と同じ値に変更することができる。

【0036】タップ係数の変更は、次のようにして行われる。

【0037】時刻 n の第 i のタップ係数を $C_i(n)$ とすると、時刻 $n+1$ の第 i のタップ係数候補 $C_i'(n+1)$ は、(1) 式で算出される。

【0038】

できる。

【0046】ここで、TCM 方式デジタルの加入者伝送システムでは、トレーニング信号は、20 kHz を中心周波数に持つ固定のパターン信号である。固定パターンで線路等化器 100 のトレーニングを行った場合、ランダム信号に対しては良好な等化特性が得られない場合がある。ちなみに、ランダム信号の中心周波数は、160 kHz である。この原因は、本来、負となるべき第 1 のタップ係数が、図 10 に示したように正となるためである。

【0047】そのため、第 1 のタップ係数のみ係数制御部 105（しきい値を 0 に設定）により制限を与える。タップ係数が図 10 の A のように、正の値になった場合、タップ係数を 0 に設定することで、等化特性の劣化を防ぐことができる。ただし、他のタップ係数は、制限を与えない。

【0048】このように、第 1 の実施の形態では、遅延器 103 によって遅延された受信信号 101 及び識別誤差 102 に基づき、フィルタ係数更新部 106 により、LMS アルゴリズムによってタップのタップ係数の更新を行うとともに、所定のしきい値を有する係数制御部 105 により、フィルタ係数更新部 106 によって生成されるタップ係数の値を、しきい値と同じ値に変更するようにしたので、線路特性によらず良好な線路等化特性を得ることができる。

【0049】（第 2 の実施の形態）図 5 は、本発明の線路等化器の第 2 の実施の形態を示す図である。

【0050】第 2 の実施の形態では、図 5 の A に示すように、第 1 のタップ係数が正の場合、第 1 のタップ係数を 0 とするとともに、第 2 のタップ係数が負の場合、第 2 のタップ係数を 0 とするようにしたものである。

【0051】すなわち、センタータップを第 4 のタップ

とすると、高域通過の特性を持つフィルタでは、図4に示したように、第1のタップ係数は負となり、第2のタップ係数は正となる。このため、上述したように、第1のタップ係数が正の場合、第1のタップ係数を0とし、第2のタップ係数が負の場合、第2のタップ係数を0とするように制御することで、線路特性によらず良好な特性を得ることができる。

【0052】（第3の実施の形態）図6は、本発明の線路等化器の第3の実施の形態に係る受信信号処理部を示すブロック図である。

【0053】図6に示す受信信号処理部601は、A/D変換器604、ゲイン調整部605、線路等化器606、符号識別部607、判定帰還型等化器610及び減算器612を備えている。

【0054】A/D変換器604は、線路602を介して得られる対向の送信部600からの受信信号603をデジタル信号に変換する。ゲイン調整部605は、A/D変換器604の出力にゲインを与える。

【0055】線路等化器606は、ゲイン調整部605の出力と、識別誤差608とを入力とする。減算器612は、線路等化器606の出力と、判定帰還型等化器610の出力とを入力とし、減算処理を行う。

【0056】符号識別部607は、減算器612の出力を入力とし、符号識別結果609を出力する。判定帰還型等化器610は、符号識別結果609と、識別誤差608とを入力とし、判定帰還型等化器出力611を出力する。

【0057】ここで、線路等化器606は、図1及び図2の線路等化器100と同じ機能を有する。判定帰還型等化器610については、(CARLOS A. BELFIORE, JOHN H. PARK, JR., "Decision Feedback Equalization", PROCEEDINGS OF THE IEEE, VOL. 67, NO. 8, PP. 1143-1156, AUG. 1979.) に詳細が記載されている。

【0058】そして、判定帰還型等化器610は、孤立波の判定以降のポストカーソルの抑圧を行う。線路等化器606は、判定点以前のプリカーソルの波形整形を行う。

【0059】このような構成の場合においても、線路特性によらず良好な特性を得ることができる。

【0060】

【発明の効果】以上の如く本発明に係る線路等化器及びその等化方法によれば、遅延器によって遅延された受信信号及び識別誤差に基づき、フィルタ係数更新部により、LMSアルゴリズムによってタップのタップ係数の更新を行うとともに、所定のしきい値を有する係数制御

部により、フィルタ係数更新部によって生成されるタップ係数の値を、しきい値と同じ値に変更するようにしたので、線路特性によらず良好な線路等化特性を得ることができる。

【図面の簡単な説明】

【図1】本発明の線路等化器の第1の実施の形態を示すブロック図である。

【図2】本発明の線路等化器の第1の実施の形態に係る受信信号処理部を示すブロック図である。

10 【図3】図1の線路等化器の動作を説明するための図である。

【図4】図1の線路等化器の動作を説明するための図である。

【図5】本発明の線路等化器の第2の実施の形態を示す図である。

【図6】本発明の線路等化器の第3の実施の形態に係る受信信号処理部を示すブロック図である。

【図7】従来のTCM伝送システムにおけるデータの受渡しを説明するための図である。

20 【図8】従来の線路等化器の一例を示すブロック図である。

【図9】図8の線路等化器の動作を説明するための図である。

【図10】図8の線路等化器の動作を説明するための図である。

【符号の説明】

100, 606 線路等化器

101 受信信号

102, 608 識別誤差

30 103 遅延器

104 乗算器

105 係数制御部

106 フィルタ係数更新部

107 加算器

108 符号識別用信号

200 対向の送信部

201, 601 受信信号処理部

202 線路

204, 604 A/D変換器

40 205, 605 ゲイン調整部

208, 607 符号識別部

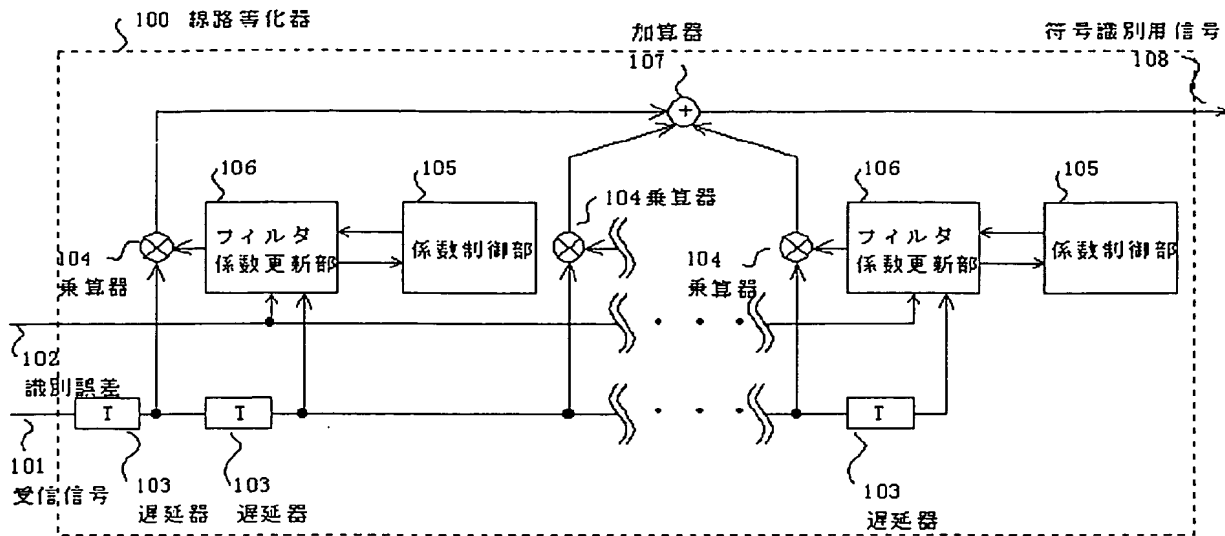
210, 609 符号識別結果

610 判定帰還型等化器

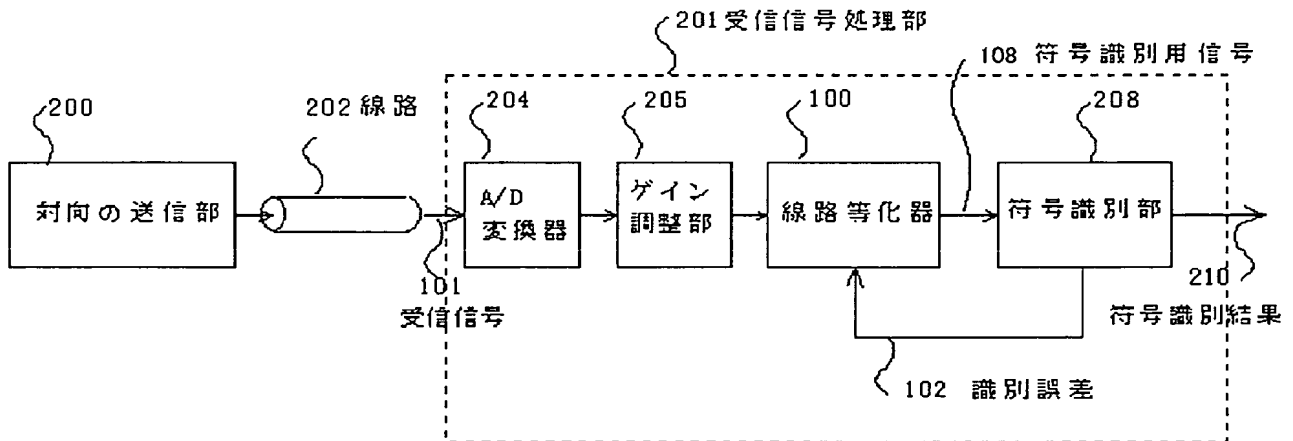
611 判定帰還型等化器出力

612 減算器

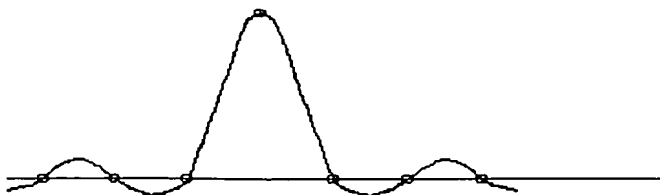
【図 1】



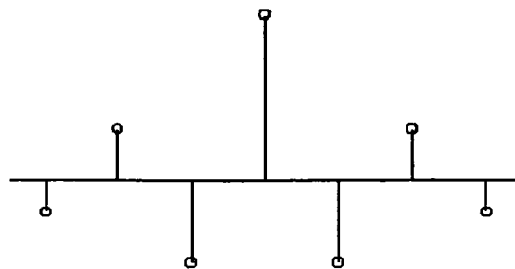
【図 2】



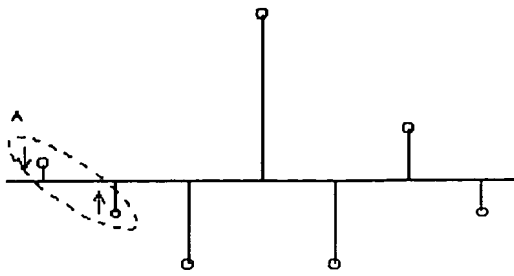
【図 3】



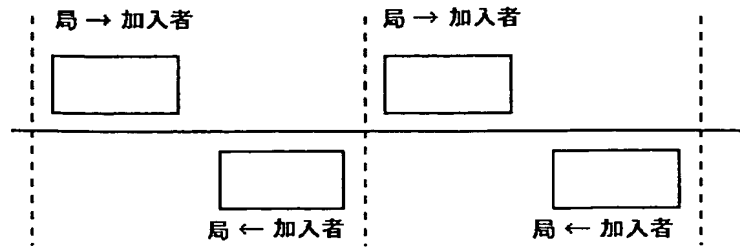
【図 4】



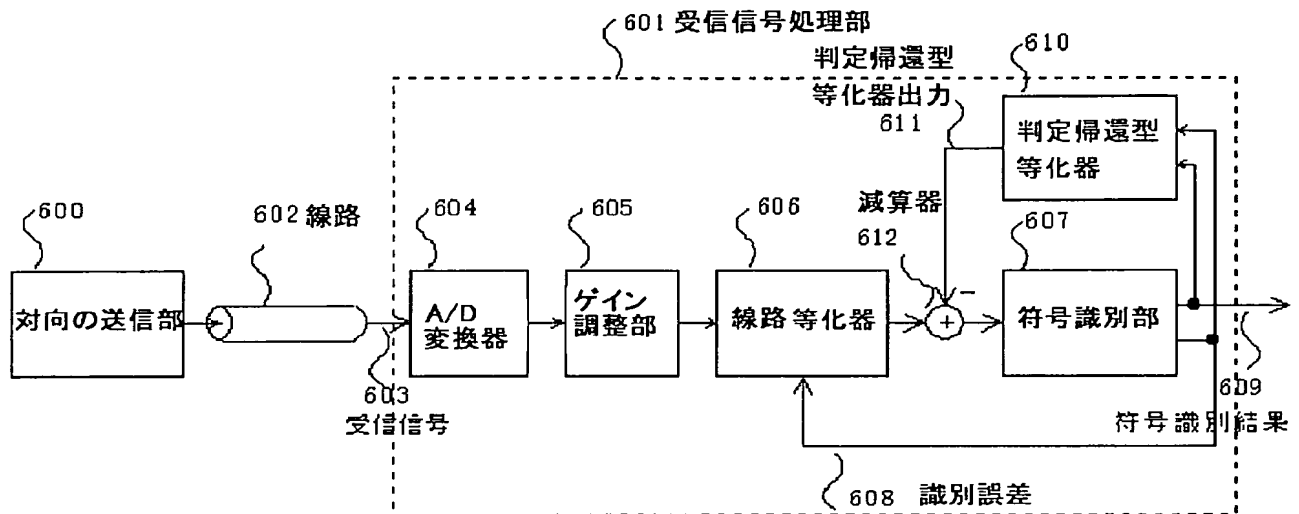
【図5】



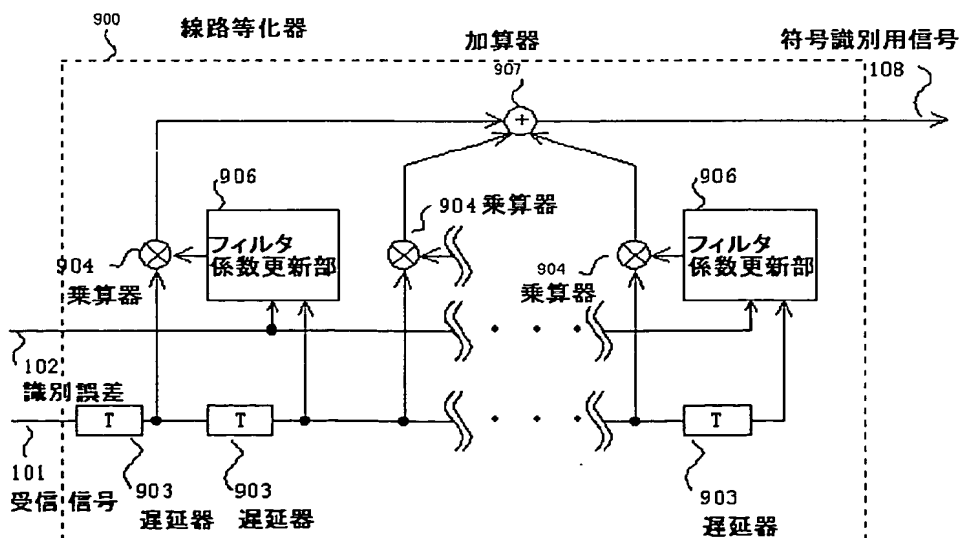
【図7】



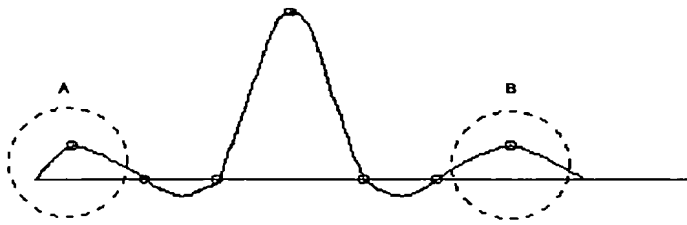
【図6】



【図8】



【図 9】



【図 1 0】

